

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-070247

(43)Date of publication of application : 07.03.2003

(51)Int.Cl.

H02M 3/28

(21)Application number : 2001-257508

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 28.08.2001

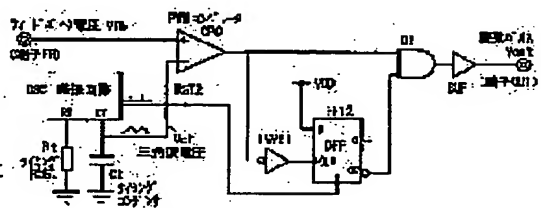
(72)Inventor : MARUYAMA HIROSHI

(54) CONTROL CIRCUIT FOR SWITCHING POWER SUPPLY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a second on-signal outputted from being outputted outside as a driving pulse, even when a feedback voltage changes rapidly and the on-signal is outputted twice (double pulses) in one period of a triangular voltage by a PWM comparator, in a control circuit for a switching power supply device wherein an on/off signal formed by comparing the feedback voltage V_{fb} corresponding to a load supply voltage, with the triangular voltage V_{ct} from an oscillating circuit OSC by means of the PWM comparator CP0, is amplified by means of a buffer circuit BUF, and is used as the driving pulse V_{out} to a semiconductor switching element.

SOLUTION: A D flip-flop FF12 is set by means of an inverter INV11, when a first on-signal ('H') outputted by the PWM comparator falls. Next, an AND gate G1 is closed by its inverted output QB ('L'), up to the point of time of the output of a reset signal RST12 by which increase and decrease of the triangular voltage are switched over. Consequently, the second on-signal outputted by the PWM comparator is blocked by the AND gate G1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-70247

(P2003-70247A)

(43) 公開日 平成15年3月7日 (2003.3.7)

(51) Int.Cl.⁷

H02M 3/28

識別記号

F I

H02M 3/28

テマコード (参考)

E 5H730

審査請求 未請求 請求項の数5 O L (全10頁)

(21) 出願番号 特願2001-257508 (P2001-257508)

(22) 出願日 平成13年8月28日 (2001.8.28)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 丸山 宏志

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人 100088339

弁理士 篠部 正治

Fターム (参考) 5H730 AA02 AA14 BB43 CC01 DD04

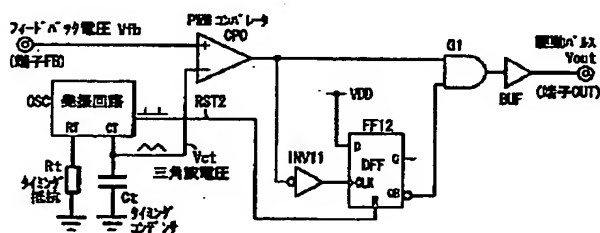
DD34 EE59 FD01 FF19 FG05

(54) 【発明の名称】 スイッチング電源装置の制御回路

(57) 【要約】

【課題】 負荷供給電圧に対応するフィードバック電圧 V_{fb} と発振回路 OSC から三角波電圧 V_{ct} とを PWM コンパレータ CPO を介し比較してできるオン/オフ信号をバッファ回路 BUF を介し増幅し半導体スイッチング素子への駆動パルス V_{out} とするスイッチング電源装置の制御回路にて、フィードバック電圧が急変して PWM コンパレータが三角波電圧の1周期内に2度のオン信号 (ダブルパルス) を出した場合にも2回目のオン信号が駆動パルスとして外部へ出力されることを防ぐ。

【解決手段】 PWM コンパレータが出した1回目のオン信号 ("H") が立下がるとき D フリップフロップ FF12 はインバータ INV11 を介しセットされ、次に三角波電圧の昇降が切り替わるリセット信号 RST2 の出力時点まで、反転出力 QB ("L") によって AND ゲート G1 を閉じる。このため PWM コンパレータの2回目のオン信号は AND ゲート G1 で阻止される。



【特許請求の範囲】

【請求項 1】 半導体スイッチング素子をオン／オフ駆動して、少なくともエネルギー源となる原直流電源を開閉し、安定化直流電源を作って外部の負荷へ供給するスイッチング電源装置を制御する回路であって、所定の最大値と最小値との間で昇降を繰り返す三角波電圧を発振出力する発振手段、

前記安定化直流電源の外部負荷への供給電圧に対応するフィードバック電圧と前記三角波電圧とを比較してこの比較結果を示す 2 値信号を、該 2 値信号のうち前記フィードバック電圧の波形が正常な状態で前記供給電圧が上昇したとき時間幅が減少すべき側の信号をオン信号、同じく時間幅が増加すべき側の信号をオフ信号とする PWM 制御信号として出力する PWM 比較手段、

該 PWM 制御信号のオン信号が前記オン／オフ駆動のオン駆動に対応するように前記 PWM 制御信号を増幅し、駆動パルスとして前記半導体スイッチング素子に与えるバッファ手段を備えたスイッチング電源装置の制御回路において、

前記 PWM 制御信号のオン信号が消滅した第 1 の時点から、前記オン信号が正常に消滅すべき時点の後に最初に前記三角波電圧の昇降が切り替わる第 2 の時点までの間、前記 PWM 制御信号のオン信号が前記バッファ手段に入力されることを阻止するダブルパルス防止手段を備えたことを特徴とするスイッチング電源装置の制御回路。

【請求項 2】 請求項 1 に記載のスイッチング電源装置の制御回路において、

前記ダブルパルス防止手段が、前記 PWM 制御信号のオン信号の消滅によって前記第 1 の時点にセットされ、このセットの後の前記第 2 の時点に前記発振手段から得られ、少なくとも前記三角波電圧の昇降を切り換えるタイミングを示す信号によってリセットされるフリップフロップと、

前記 PWM 比較手段とバッファ手段との間に挿入され、前記 PWM 制御信号のオン信号が前記バッファ手段に入力されることを前記フリップフロップのセット時の出力信号によって阻止するゲート回路とを備えたことを特徴とするスイッチング電源装置の制御回路。

【請求項 3】 半導体スイッチング素子をオン／オフ駆動して、少なくともエネルギー源となる原直流電源を開閉し、安定化直流電源を作って外部の負荷へ供給するスイッチング電源装置を制御する回路であって、所定の最大値と最小値との間で昇降を繰り返す三角波電圧を発振出力する発振手段、

前記安定化直流電源の外部負荷への供給電圧に対応するフィードバック電圧と前記三角波電圧とを比較してこの比較結果を示す 2 値信号を、該 2 値信号のうち前記フィードバック電圧の波形が正常な状態で前記供給電圧が上昇したとき時間幅が減少すべき側の信号をオン信号、同

じく時間幅が増加すべき側の信号をオフ信号とする PWM 制御信号として出力する PWM 比較手段、

該 PWM 制御信号のオン信号が前記オン／オフ駆動のオン駆動に対応するように前記 PWM 制御信号を増幅し、駆動パルスとして前記半導体スイッチング素子に与えるバッファ手段を備えたスイッチング電源装置の制御回路において、

前記 PWM 制御信号のオン信号が発生した第 1 の時点から、前記オン信号が正常に発生すべき時点の後に最初に前記三角波電圧の昇降が切り替わる第 2 の時点までの間、前記 PWM 制御信号のオフ信号が前記バッファ手段に入力されることを阻止するパルス割れ防止手段を備えたことを特徴とするスイッチング電源装置の制御回路。

【請求項 4】 請求項 3 に記載のスイッチング電源装置の制御回路において、

前記パルス割れ防止手段が、前記 PWM 制御信号のオン信号の発生によって前記第 1 の時点にセットされ、このセットの後の前記第 2 の時点に前記発振手段から得られ、少なくとも前記三角波電圧の昇降を切り換えるタイミングを示す信号によってリセットされるフリップフロップと、

前記 PWM 比較手段とバッファ手段との間に挿入され、前記 PWM 制御信号のオフ信号が前記バッファ手段に入力されることを前記フリップフロップのセット時の出力信号によって阻止するゲート回路とを備えたことを特徴とするスイッチング電源装置の制御回路。

【請求項 5】 請求項 1 ないし 4 のいずれかに記載のスイッチング電源装置の制御回路において、

IC 回路からなることを特徴とするスイッチング電源装置の制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体スイッチング素子をオン／オフ駆動して、少なくともエネルギー源となる原直流電源を開閉し、安定化直流電源を作って外部の負荷へ供給するスイッチング電源装置を制御する回路としての、電源制御用 IC などの制御回路であって、特に安定化直流電源の検出電圧としてのフィードバック電圧が急変したり、フィードバック電圧にノイズが重畳した場合にも、半導体スイッチング素子を駆動するパルスがいわゆるダブルパルスになったり、パルス割れしたりすることを防ぐ機能を備えたスイッチング電源装置の制御回路に関する。

【0002】 なお、以下各図において同一の符号は同一もしくは相当部分を示す。

【0003】

【従来の技術】 スwitchング電源装置を制御する制御用 IC としては、従来から主にバイポーラ・プロセスを用いた IC が使われてきた。しかし最近では、低消費電力化・低価格化の要求が厳しくなって、制御用 IC の製造

プロセスはBiCMOS、CMOSプロセスへの移行が進んできている。

【0004】図5は、この種の制御用ICとフライバック方式のトランスを用い、商用交流電源から安定化直流電源を得るスイッチング電源装置の回路例を示す。同図において、半導体の主スイッチング素子としてのNチャネルMOSFETのMN1は、スイッチング電源制御用IC01の出力端子OUTからHigh/Lowに変化して出力される、PWM制御（パルス幅変調の意、この場合デューティ制御ともいう）された駆動パルスVoutによってオン/オフ駆動される。

【0005】これにより、MOSFETのMN1は、商用電源（AC100V）を全波整流器DB1とコンデンサC101を介し整流・平滑化した直流電源を、通常は所定の周波数で、且つフライバックトランスTfの2次側の直流出力DCVの電圧が一定となるようなデューティ、即ちオン比率＝オン期間／（オン期間＋オフ期間）により断続してトランスTfの1次巻線n1に印加する。

【0006】ここでMOSFETのMN1のオン時にはトランスTfの1次巻線n1に電流が流れ、1次巻線n1にエネルギーが蓄えられる。次にMOSFETのMN1がオフすると、トランスTfの2次巻線n2には、それまで1次巻線n1を流れていた電流を維持する方向に電圧が発生してダイオードD2が導通し、この電圧はコンデンサC102により平滑化され、直流出力DCVとして外部の負荷に供給される。こうして1次巻線n1に蓄えられたエネルギーが2次巻線n2側に供給されることになる。

【0007】直流出力電圧DCVは、トランスTfの2次側に設けられた抵抗R1、ホトカブラPC1、シャントレギュレータSR1の直列回路で検出され、直流出力電圧DCVが設定値より高くなった場合は、ホトカブラPC1の発光ダイオードPDの電流（従ってその光量）が増大し、逆に出力電圧が低くなった場合はホトカブラPC1の発光ダイオードPDの電流が減少する。

【0008】この発光ダイオードPDの電流の変化はホトカブラPC1のホトトランジスタPTTrを介してトランスTfの1次側の制御用IC01のフィードバック端子FBの電圧としてのフィードバック電圧Vfbを引き下げたり、引き上げたりすることで、制御用IC01のOUT端子の出力する駆動パルスVoutのパルス幅を制御する。

【0009】例えば2次側出力電圧DCVが高すぎる場合、2次側発光ダイオードPDの電流が増大する。そこで1次側フォトトランジスタPTTrの抵抗が下がり、制御用IC01のフィードバック電圧Vfbが下がる。この結果、制御用IC01の駆動パルスVoutのパルス幅（MOSFETのMN1のオン期間を与える）が狭くなり、トランスに供給されるエネルギーが減り、結果とし

て2次側出力電圧DCVが下がるというように負帰還ループによる制御が行われる。

【0010】なお、図5において、トランスTfの3次巻線n3の誘起電圧は、2次巻線n2と同様にダイオードD3を介して取り出され、ツェナーダイオードZDとコンデンサC100によって一定の直流電圧となり、制御用IC01の電源端子VCCに供給される。また、制御用IC01のタイミング抵抗端子RTには、後述する発振回路の周波数を定めるタイミング抵抗Rtが接続され、同じく端子IS+には、このスイッチング電源の過電流保護のためにトランス1次巻線n1に接続された電流検出抵抗Risの電圧が入力され、同じく端子CSには、保護動作の時限を定めるコンデンサが接続される。

【0011】また、制御用IC01の端子REFは、このIC01内で作られる5Vの基準電圧Vdd1を参照するための端子で、この例では平滑コンデンサが接続されている。図7は制御用IC01内のPWM制御パルス生成回路の基本構成を示す。同図においてOSCは所定振幅の三角波電圧Vctを発振出力する発振回路、CPOは三角波電圧Vctとフィードバック電圧Vfbを比較し、その比較出力としてのPWM制御されたオン/オフ信号を出力するPWMコンパレータ、BUFはこのPWMコンパレータの出力信号を増幅し、図外の半導体スイッチング素子MN1へ駆動パルスVoutとして与えるバッファ回路である。なお、二重丸で示した端子FBとOUTは制御用IC01の端子を意味している。

【0012】また図6は制御用IC01内の発振回路OSCの原理説明用の簡略回路を示す。次に図6により発振の仕組みを説明する。

①内部の5Vの基準電圧Vdd1から所定の電流値の2つの電流源Ict1及びIct2を作る。なお、図5で述べたタイミング抵抗Rtは、その電流により電流源Ict1及びIct2の電流値を定め、この発振回路の発振周波数を定める役割を持つ。

【0013】②この電流源Ict1及びIct2の出力する定電流で右端のタイミングコンデンサCtを充放電する。スイッチSW1の上側に配置した電流源Ict1は充電用、スイッチSW2の下側の電流源Ict2は放電用に用い、スイッチSW1、SW2を交互にオンすることで充放電を行う。なお、スイッチSW1、SW2は実際はCMOSTランジスタで構成されている。

【0014】③タイミングコンデンサCtの電圧（三角波電圧または発振波電圧という）Vctを2つのコンパレータCPI、CP2に入力し、発振波形の上下限電圧と比較する。

④図の例では、コンパレータCPIが上限電圧3V、CP2が下限電圧1Vとの比較を行っており、この上限電圧3Vと下限電圧1Vは、5Vの基準電圧Vdd1を分割する分圧抵抗R11～R13により作り出される。

【0015】⑤コンパレータCPI、CP2の出力はN

ANDゲートからなるRSフリップフロップFF1とインバータINV1, INV2を介して、スイッチSW1, SW2を切り換える入力とする。

⑥タイミングコンデンサCtの電圧Vctが1V以下の場合、コンパレータの出力はCPIが“H”、CP2が“L”となり、フリップフロップFF1の出力が“H”になるため、上側のスイッチSW1がオンしてコンデンサCtの充電を行う。充電が開始され、コンデンサCtの電圧Vctが3V以上になると、コンパレータCPIの出力が“L”、CP2の出力が“H”となり、フリップフロップFF1は“L”を出力する。そのため、上側のスイッチSW1は切れて下側のスイッチSW2が入り、コンデンサCtの放電が開始される。

【0016】⑦この充放電は定電流で行われるため、充放電の速度が一定である。従って、コンデンサCtの電圧Vctは、上下限電圧（この例では3Vと1V）の間を一定の時間をかけて昇降する。

⑧以上の仕組みによるタイミングコンデンサCtの電圧Vctの波形が図の三角波電圧端子CT部分に示すような発振波形で、立上り時間と立下がり時間の等しい三角波の発振波形となる。

【0017】このように、スイッチング電源装置を制御するPWM制御方式の制御用IC01では、RT端子のタイミング抵抗Rtに流れる電流によって定まる定電流で、制御用IC内のCT端子に接続されたタイミングコンデンサCtを一定の電圧振幅範囲内で充放電し、その三角波によって一定の周波数で周期を刻み、この三角波の発振電圧波形VctとFB端子のフィードバック電圧VfbをPWMコンパレータCPOで比較し、三角波電圧波形Vctより、フィードバック電圧Vfbが高い期間、オンパルスが発生する回路方式が一般的である。

【0018】電源が安定動作している状態では、制御用IC01のFB端子のフィードバック電圧Vfbは一定値に安定し、その電圧値に相当する期間、MOSFETのMN1をオンさせる駆動パルスVoutが、制御用IC01のOUT端子からMOSFETのゲートに出力される。

【0019】

【発明が解決しようとする課題】前述のようにスイッチング電源制御用ICは、最近では低消費電力化の要求からCMOS化が進んでいる。この結果、動作電流が減って端子のインピーダンスが大きくなりノイズ耐量が低下するなどの不具合が発生することがある。また、さらに低消費電力化を進めるため、軽負荷時には発振器のRT端子部のタイミング抵抗Rtの電流を調整し、三角波電圧の発振周波数を低減させスイッチングロス削減を行う機能を内蔵した制御用ICもある。このような制御用ICでは軽負荷状態で次のような問題を発生し易くなる。

【0020】図8は従来のPWM制御パルス生成回路の問題点を説明するための図7の各部の波形図である。図

7では前述のように発振回路OSCからの三角波電圧Vctと、FB端子のフィードバック電圧Vfbを比較し、フィードバック電圧Vfbが三角波電圧Vctより高い時にOUT端子がHighレベルの駆動パルスVoutを出力し、図外の半導体スイッチング素子としてのMOSFETのMN1をオンさせる。

【0021】この場合、図8の波形に示したように、駆動パルスVoutのHighレベルの期間（オン期間）が短くなっている軽負荷状態で、発振回路OSCの発振周波数が遅くなっている（つまり、三角波電圧Vctの昇降の勾配が緩やかな）時に、急激に負荷が重くなるような状態を想定してFB端子のフィードバック電圧Vfbが周期の後半で急激に上昇したとすると、駆動パルスVoutに斜線部のような不要なオンパルスが発生し、三角波電圧Vctの1周期の中で2度のオンパルス（いわゆるダブルパルス）が発生する場合が生ずる。

【0022】この状態はトランスの飽和、従って1次電流の急増を招き易いため避けたいところである。そこで、主として請求項1, 2に関わる発明（以下第1発明という）は、このダブルパルスの発生を防止するスイッチング電源装置の制御回路を提供することを目的とする。また、図9は従来のPWM制御パルス生成回路のみならず、第1発明の同回路においても残る問題点を説明するための波形図である。図9に示すように発振回路OSCの発振周波数が遅く、三角波電圧Vctの傾きが少ない場合に、FB端子のフィードバック電圧VfbにOUT端子の駆動パルスVoutに同期したスイッチングノイズが重畳した場合、従来回路においては駆動パルスVoutがHighレベルに変化した直後にパルス割れする場合がある。

【0023】また第1発明の回路では後述のように三角波電圧Vctの発振の1周期内における駆動パルスVoutの2度目のオンパルスはOUT端子からは出力されないため、駆動パルスVoutが1回目の非常に細いオンパルスのみとなってしまう場合がある。このような駆動パルスVoutが有害であることは言うまでもない。そこで、主として請求項3, 4に関わる発明（以下第2発明という）は、この駆動パルスVoutのパルス割れを防止するスイッチング電源装置の制御回路を提供することを目的とする。

【0024】

【課題を解決するための手段】前記の課題を解決するために、請求項1のスイッチング電源装置の制御回路は、半導体スイッチング素子（MOSFETのMN1など）をオン／オフ駆動して、少なくともエネルギーとなる原直流電源（商用電源を全波整流器DB1を介し整流してコンデンサC101の両端に得られた直流電源などを開閉し、安定化直流電源（コンデンサC102等の両端に得られた直流電源など）を作って外部の負荷へ供給するスイッチング電源装置を制御する回路であつ

て、所定の最大値と最小値との間で昇降を繰り返す三角波電圧 (V_{ct}) を発振出力する発振手段 (発振回路OSC)、前記安定化直流電源の外部負荷への供給電圧に対応するフィードバック電圧 (V_{fb}) と前記三角波電圧とを比較してこの比較結果を示す (“H”, “L” などの) 2値信号を、該2値信号のうち前記フィードバック電圧の波形が正常な状態で前記供給電圧が上昇したとき時間幅が減少すべき側 (“H” など) の信号をオン信号、同じく時間幅が増加すべき側 (“L” など) の信号をオフ信号とするPWM制御信号として出力するPWM比較手段 (PWMコンパレータCPO)、該PWM制御信号のオン信号が前記オン/オフ駆動のオン駆動に対応するように前記PWM制御信号を増幅し、駆動パルス (V_{out}) として前記半導体スイッチング素子に与えるバッファ手段 (バッファ回路BUF) を備えたスイッチング電源装置の制御回路 (制御用IC01 など) において、前記PWM制御信号のオン信号が消滅した第1の時点 (t_4 など) から、前記オン信号が正常に消滅すべき時点 (t_4) の後に最初に前記三角波電圧の昇降が切り替わる第2の時点 (t_5) までの間、前記PWM制御信号のオン信号が前記バッファ手段に入力されることを阻止するダブルパルス防止手段を備えたものとする。

【0025】また請求項2のスイッチング電源装置の制御回路は、請求項1に記載のスイッチング電源装置の制御回路において、前記ダブルパルス防止手段が、(クロック端子CLKに入力する) 前記PWM制御信号のオン信号の消滅によって前記第1の時点にセットされ、このセットの後の前記第2の時点に前記発振手段から得られ、少なくとも前記三角波電圧の昇降を切り換えるタイミングを示す信号 (リセット信号RST2) によってリセットされるフリップフロップ (DフリップフロップFF12 など) と、前記PWM比較手段とバッファ手段との間に挿入され、前記PWM制御信号のオン信号が前記バッファ手段に入力されることを前記フリップフロップのセット時の出力信号 (QBまたはQ) によって阻止するゲート回路 (ANDゲートG1, NANDゲートG1' など) とを備えたものとする。

【0026】また請求項3のスイッチング電源装置の制御回路は、請求項1の前文に記したと同様なスイッチング電源装置の制御回路において、前記PWM制御信号のオン信号が発生した第1の時点 (t_2 など) から、前記オン信号が正常に発生すべき時点 (t_2) の後に最初に前記三角波電圧の昇降が切り替わる第2の時点 (t_3) までの間、前記PWM制御信号のオフ信号が前記バッファ手段に入力されることを阻止するパルス割れ防止手段を備えたものとする。

【0027】また請求項4のスイッチング電源装置の制御回路は、請求項3に記載のスイッチング電源装置の制御回路において、前記パルス割れ防止手段が、前記PWM制御信号のオン信号の発生によって前記第1の時点に

セットされ、このセットの後の前記第2の時点に前記発振手段から得られ、少なくとも前記三角波電圧の昇降を切り換えるタイミングを示す信号 (リセット信号RST1) によってリセットされるフリップフロップ (RSフリップフロップFF11 など) と、前記PWM比較手段とバッファ手段との間に挿入され、前記PWM制御信号のオフ信号が前記バッファ手段に入力されることを前記フリップフロップのセット時の出力信号 (Qなど) によって阻止するゲート回路 (NORゲートG2 など) とを備えたものとする。

【0028】また請求項5のスイッチング電源装置の制御回路は、請求項1ないし4のいずれかに記載のスイッチング電源装置の制御回路において、IC回路からなるものとする。即ち、主として請求項1, 2に関わる第1発明 (主として請求項3, 4に関わる第2発明) の作用は、PWMコンパレータCPOが現実にはオフ (オン) 信号を発生した時点から、PWMコンパレータCPOが正常にオフ (オン) 信号を発生すべき時点の後に最初に三角波電圧の昇降が切り替わる時点までの間は、オン (オフ) 信号がPWMコンパレータCPOの出力信号を増幅するバッファ回路BUFに入力されることを阻止し、バッファ回路BUFが半導体スイッチング素子へ与える駆動パルス V_{out} が、ダブルパルスになる (パルス割れする) ことを防止するものである。

【0029】

【発明の実施の形態】 (実施の形態1) 図1は第1発明の1実施例としての、負荷急変時における駆動パルス V_{out} のダブルパルス化を防止するPWM制御パルス生成回路を示し、この図は図7に対応している。図1においては、PWMコンパレータCPOとバッファ回路BUFとの間に、インバータINV11、DフリップフロップFF12、ANDゲートG1が挿入されている。

【0030】DフリップフロップFF12は、三角波電圧 V_{ct} が上昇過程から下降過程に、換言すればタイミングコンデンサCtが充電過程から放電過程に切り替わる時点ごとに、立上っては直ちに立下がる極く狭幅の信号として発振回路OSCから取出されるリセット信号RST2によってリセットされて、その反転出力QBが “H” となり、インバータINV11の立上がり出力、従ってPWMコンパレータCPOの立下がり出力によってセットされて、反転出力QBが “L” となる。

【0031】そして、この反転出力QBがANDゲートG1に入力されて、ANDゲートG1がPWMコンパレータCPOの出力のバッファ回路BUF側への通過を開閉する構成となっている。図2は図1の要部の信号波形を示し、同図 (A) はフィードバック電圧 V_{fb} が安定している状態を、同図 (B) はフィードバック電圧 V_{fb} が急変する状態をそれぞれ示す。

【0032】ここで先ず図2の (A) を説明すると、時点 t_1 でフリップフロップFF12はリセットされて、

反転出力QBが“H”となり、以後、時点t4までPWMコンパレータCPOの出力はANDゲートG1を素通りする。なお、PWMコンパレータCPOの出力は時点t2～t4の間は、三角波電圧Vctがフィードバック電圧Vfbを下回るため“H”となり、時点t2～t4の期間を“H”（オン）とする駆動パルスVoutが出力される。

【0033】時点t4において、PWMコンパレータCPOの出力が“L”に立下がると、フリップフロップFF12はインバータINV11を介し、クロック端子CLKでこのエッジを捉えてセットされ、フリップフロップFF12の反転出力QBは“L”になる。このため、時点t4からフリップフロップFF12が次にリセットされる時点t5までは、PWMコンパレータCPOの出力と無関係にANDゲートG1の出力は“L”となり、駆動パルスVoutもオフ状態を保つ。

【0034】この場合は図示のように、PWMコンパレータCPOの出力波形と駆動パルスVoutの波形は一致する。次に図2の（B）を説明する。上述の時点t1からt5までの説明は、PWMコンパレータCPOの出力波形を除き、この場合も同様に当てはまる。この場合、時点t4において、PWMコンパレータCPOの出力が立下がることによりフリップフロップ反転出力QBが“L”に反転したのち、フィードバック電圧Vfbの急変によって時点ta～tbの間に、PWMコンパレータCPOが斜線部のような“H”の信号（つまり、三角波電圧Vctの1発振周期内の2回目の駆動パルスに相当する信号）を出している。

【0035】しかし、この斜線部の“H”信号はフリップフロップ反転出力QBが“L”のため、ANDゲートG1により阻止されバッファ回路BUF側には出力されない。このようにして、駆動パルスVoutのダブルパルス化を防止することができる。

（実施の形態2）図3は第2発明の1実施例としての、フィードバック電圧Vfbのノイズ変動時における駆動パルスVoutのパルス割れを防止するPWM制御パルス生成回路を示し、図4は図3の要部の動作波形を示す。但し図3の実施例は第1発明も併せ実施した場合を示している。

【0036】次に図4を参照しつつ図3の構成と動作を述べる。この図3においては、PWMコンパレータCPOとバッファ回路BUFの間にRSフリップフロップFF11、DフリップフロップFF12、NORゲートG2、NANDゲートG1'が設けられている。ここで、第2発明に関わる回路はRSフリップフロップFF11およびNORゲートG2からなる回路で、DフリップフロップFF12およびNANDゲートG1'からなる回路は、図1のDフリップフロップFF12およびANDゲートG1からなる第1発明に関わる回路と同等の機能を持つ。

【0037】即ち、図3のDフリップフロップFF12およびNANDゲートG1'の機能を述べると、DフリップフロップFF12は三角波電圧Vctが上昇から下降に切り替わる時点t1ごとにリセットされてNANDゲートG1'を開く。そしてNORゲートG2の出力が時点t3（三角波電圧Vctの下降→上昇の切替時点）以後に“H”に立上がる時点（従って本例では、PWMコンパレータCPOの出力が正常に“L”に立下がる時点）t4にセットされてNANDゲートG1'を閉じる。

【0038】ここで、DフリップフロップFF12のセット時点がt3以後となるのは、PWMコンパレータCPOの出力が最初に“H”になる時点t2から時点t3までは、後述する第2発明の働きにより、NORゲートG2の出力が“L”に保たれ、PWMコンパレータCPOの出力は時点t3以後、NORゲートG2を自由通過（但し論理は通過後反転）するようになるからである。

【0039】DフリップフロップFF12は、こうして時点t4から次のリセット時点t5までセットされてNANDゲートG1'を閉じるため、この間に負荷の急変などによりPWMコンパレータCPOが2回目のオンパルス（“H”）を発生したとしても、この2回目のオンパルスはNANDゲートG1'によって阻止され、バッファ回路BUF側には出力されない。

【0040】なお、図3のDフリップフロップFF12およびNANDゲートG1'の回路が図1の対応する回路と異なる点は、図3の場合、NANDゲートG1'とPWMコンパレータCPOとの間にNORゲートG2が挿入されているため、NANDゲートG1'が図1とは逆論理の信号を開閉するようにし、このために図3のDフリップフロップFF12からNANDゲートG1'へも図1とは逆論理のQ出力を与えている点である。

【0041】次に、本第2発明の主眼となるRSフリップフロップFF11およびNORゲートG2の機能を説明する。時点t2においてPWMコンパレータCPOの出力が一度“H”になると、この“H”の信号がRSフリップ・フロップFF11のセット信号となり、その出力Qを“H”とする。RSフリップ・フロップFF11のリセット信号には、タイミングコンデンサCtの充電期間に“H”、放電期間に“L”となる発振回路OSCからのリセット信号RST1が用いられ、RSフリップ・フロップFF11はタイミングコンデンサCtが放電から充電に切り替わる時点t3にリセットされてその出力Qが“L”となる。従って、RSフリップ・フロップFF11の出力Qは時点t2からt3まで“H”を保つ。

【0042】NORゲートG2は、PWMコンパレータCPOの出力とこのRSフリップ・フロップFF11の出力Qとを入力とするので、NORゲートG2の出力は時点t2からt3までは“L”を保ち、PWMコンパレ

ータCP0の出力が時点t2の直後の時点tc~tdの期間のようにパルス割れを起こしても変化しない。そして、NORゲートG2は、時点t3以後は次のセット時点までPWMコンパレータCP0の出力を自由に反転通過させる。この結果、NORゲートG2の出力は時点t2~t4の期間、パルス割れなしに“L”となる。

【0043】一方、前述のように時点t1~t4の期間、従って時点t2からt4まではNANDゲートG1'は開の状態にある。結果としてNANDゲートG1'の出力、従って駆動パルスVoutは時点t2~t4の期間、パルス割れのない“H”（オン）のパルスとなる。このようにして、フィードバック電圧Vfbにノイズ変動があっても、正常なパルス幅の駆動パルスVoutを得ることができる。

【0044】

【発明の効果】三角波電圧Vctを発振出力する発振回路OSC、外部負荷への供給電圧に対応するフィードバック電圧Vfbと三角波電圧とを比較してその比較結果を半導体スイッチング素子のオン/オフ期間を定めるPWM制御信号として出力するPWMコンパレータCP0、PWM制御信号を増幅し、駆動パルスVoutとして半導体スイッチング素子に与えるバッファ回路BUFを備えたスイッチング電源装置の制御回路において、第1発明によれば、PWMコンパレータCP0が現実にはオフ信号（オフのPWM制御信号）を発生した時点から、PWMコンパレータCP0が正常にオフ信号を発生すべき時点の後に最初に三角波電圧の昇降が切り替わる時点までの間は、PWMコンパレータCP0とバッファ回路BUFとの間に挿入したゲート回路をフリップフロップにより閉状態として、オン信号（オンのPWM制御信号）がバッファ回路BUFに入力されることを阻止するようにしたので、軽負荷状態のスイッチング電源装置に急激に負荷が掛かり、フィードバック電圧が急変し、PWMコンパレータCP0が三角波電圧の1周期内に2回目のオン信号を出した場合にも、この2回目のオン信号はバッファ回路BUFに入力されず、半導体スイッチング素子への駆動パルスVoutがダブルパルスになることを防止することができる。

【0045】また第2発明によれば、PWMコンパレータCP0が現実にはオン信号を発生した時点から、PWMコンパレータCP0が正常にオン信号を発生すべき時点の後に最初に三角波電圧の昇降が切り替わる時点までの間は、PWMコンパレータCP0とバッファ回路BUFとの間に挿入したゲート回路をフリップフロップにより閉状態として、オフ信号がバッファ回路BUFに入力さ

れることを阻止するようにしたので、三角波電圧の発振周波数が低い状態でフィードバック電圧がノイズによって変動し、PWMコンパレータCP0のオン信号が割れて、本来のオン信号内にオフ信号が介入した場合にも、この介入したオフ信号はバッファ回路BUFに入力されず、半導体スイッチング素子への駆動パルスVoutがパルス割れすることを防止することができる。

【図面の簡単な説明】

【図1】第1発明の1実施例としてのPWM制御パルス生成回路の構成を示す回路図

【図2】図1の要部の概略の動作波形図

【図3】第2発明の1実施例としてのPWM制御パルス生成回路の構成を示す回路図

【図4】図3の要部の概略の動作波形図

【図5】スイッチング電源装置の構成例を示す回路図

【図6】スイッチング電源装置の制御用IC内の発振回路の原理説明用の回路図

【図7】図1に対応する従来の回路図

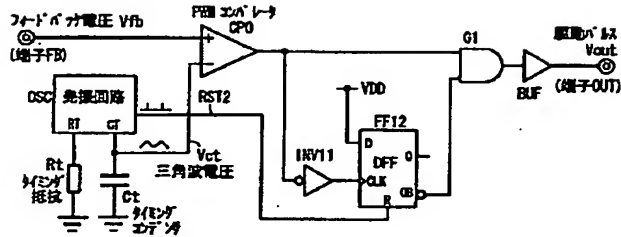
【図8】ダブルパルス説明用の波形図

【図9】パルス割れ説明用の波形図

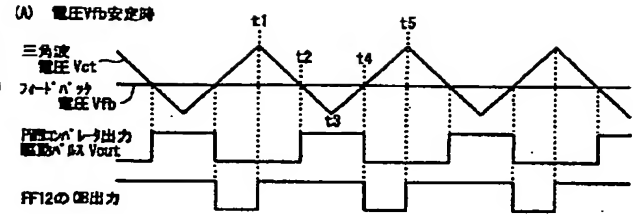
【符号の説明】

| | |
|------------|--------------------------|
| O1 | 制御用IC |
| MN1 | NチャネルMOSFET（半導体スイッチング素子） |
| DB1 | 全波整流器 |
| C101, C102 | コンデンサ |
| Ct | タイミングコンデンサ |
| Rt | タイミング抵抗 |
| CP0 | PWMコンパレータ |
| BUF | バッファ回路 |
| OSC | 発振回路 |
| FF11 | RSフリップフロップ |
| FF12 | Dフリップフロップ |
| G1 | ANDゲート |
| G1' | NANDゲート |
| G2 | NORゲート |
| INV11 | インバータ |
| Vct | 三角波電圧（発振波電圧） |
| Vfb | フィードバック電圧 |
| Vout | 駆動パルス |
| RST1, RST2 | リセット信号 |
| CT | 三角波電圧端子 |
| FB | フィードバック電圧端子 |
| RT | タイミング抵抗端子 |
| OUT | 駆動パルス出力端子 |

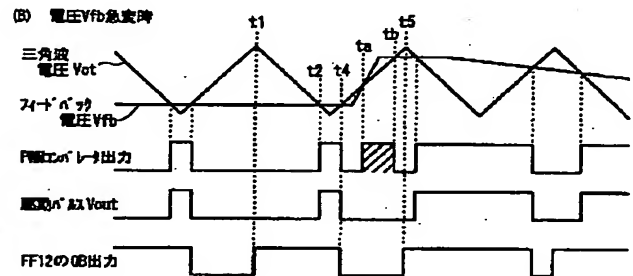
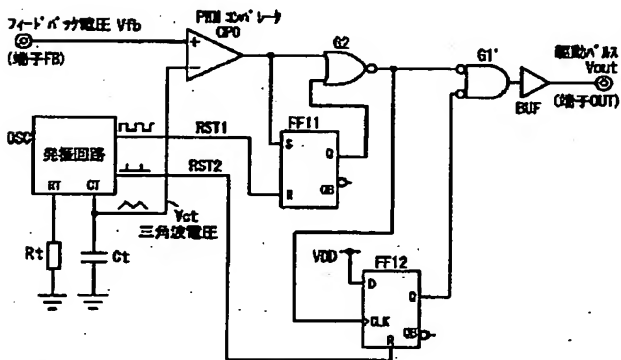
【図1】



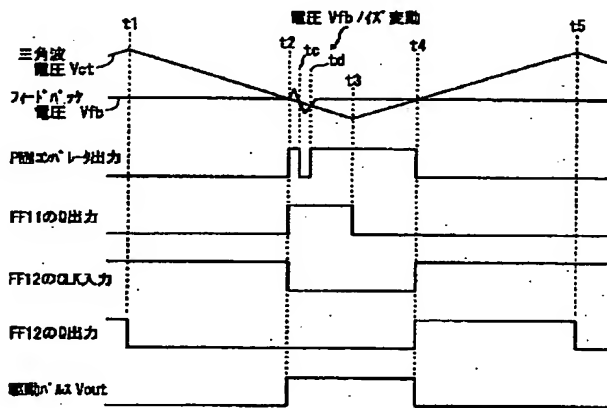
【図2】



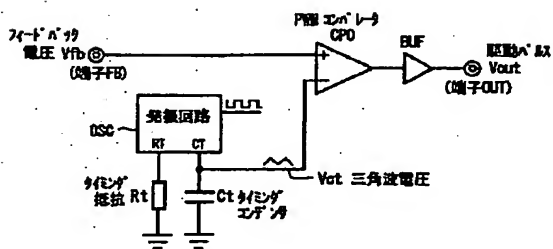
【図3】



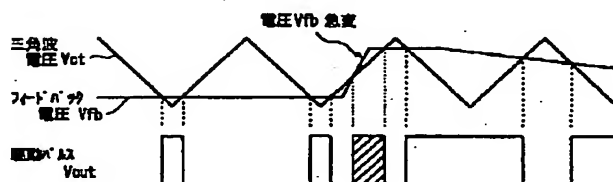
【図4】



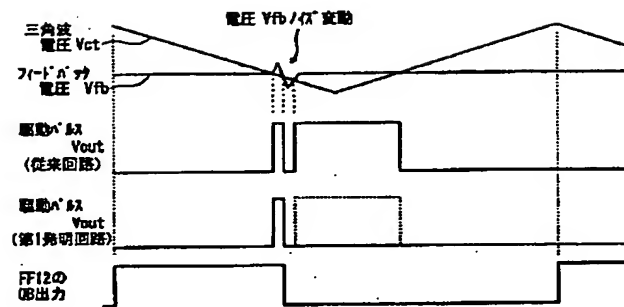
【図7】



【図8】



【図9】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.